

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



## 意見提出通知書

2000年 9月 21日

審査4局

審査官 宋 源 善

出 願 人 : 日本電気株式会社(出願人コード: 519980604474)  
日本国東京都港区芝5丁目7番1号

代 理 人 : 朴 海 善 他1名  
ソウル江南区駅三洞824-19

出願番号 : 1998年特許出願第58330号

発明の名称: 半導体装置

この出願に対する審査の結果、下記のと通りの拒絶理由があるので、特許法第63条の規定によってこれを通知します。意見があるか又は補正が必要な場合は、2000年11月21日までに、意見書又は補正書を提出して下さい(上記期日に対する延長は毎回1月単位で延長することができ、別途の期間延長承認通知は致しません。)

### [理由]

この出願の特許請求の範囲全項に記載の発明は、その出願の前に、その発明の属する技術の分野における通常の知識を有する者が、下記に指摘した発明に基づいて、容易に発明をすることができたものであるので、特許法第29条第2項の規定によって特許を受けることができません。

### [記]

本願発明は、半導体装置に関するものであり、配線基板、同一配線層に2個以上のチップ電極、半導体チップ、複数個のスルーホール、複数個のバンプを有することを特徴とするところ、請求項全項は、その分野における通常の知識を有する者であれば、絶縁フィルム、ボンディングパッド、半導体チップ、スルーホール、電気伝導性バンプ等が記載された公開特許公報第97-63590号(19



97.09.12公開、以下、引用参証)に公知された技術と類似するので、引用参証に基づいて、容易に発明をすることができたものと認められます。

[添付]

添付 公開特許公報97-63590号の写し

以上



NEC N98039

4/7

[record]

This invention pertains to a semiconductor device that is characterized by having a wiring substrate, 2 or more chip electrodes on the same wiring layer, a semiconductor chip, a plurality of through-holes and a plurality of bumps; the main item of the claims, when there is one having common knowledge in the field,

5/7

can be recognized as possible to easily invent based on the cited reference since there are similarities with the technology that is published in Kokai Patent Gazette No. 97-63590 (09.12.1997) which describes things like an insulating film, a bonding pad, a semiconductor chip, through-holes and electrically conductive bumps.

...

RECEIVED

JAN - 8 2001

JC 2800 MAIL ROOM

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. 6

(11) 등록번호

특0182510

H01L 21 /60

(24) 등록일자

1998년 12월 11일

(21) 출원번호

특1996-003954

(65) 공개번호

특1997-063590

(22) 출원일자

1996년 02월 17일

(43) 공개일자

1997년 09월 12일

(73) 특허권자

삼성전자주식회사 김광호  
경기도 수원시 팔달구 매탄동 416

(72) 발명자

안승호  
경기도 수원시 장안구 정자동 동신아파트 210동 808호  
최기원  
경기도 수원시 우만동 136-18번지 창원빌라 가-402  
송영재  
경기도 성남시 분당구 수내동 롯데아파트 135동 1303호  
안민철  
경기도 수원시 팔달구 매탄 1동 176 42-306호  
윤동열, 이선희

(74) 대리인

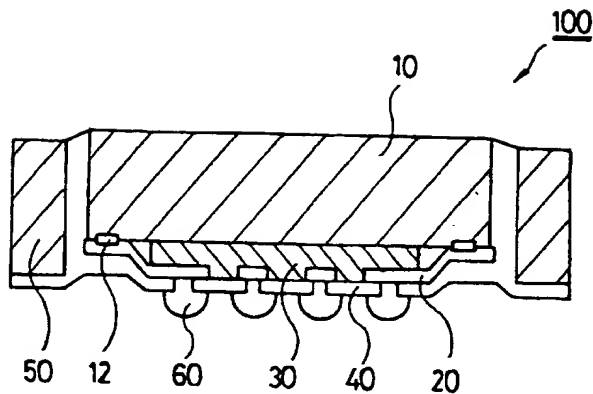
심사관 : 송원선

(54) 탭 테이프를 적용한 칩 스케일 패키지

요약

본 발명은 칩 스케일 패키지에 관한 것으로, 칩의 본딩 패드들의 배치에 대응되도록 탭 테이프를 제작하여, 그 칩과 탭 테이프를 전기적 연결하여 패키지를 제작함으로써, 통상적인 탭 테이프를 사용하고 있기 때문에 종래 반도체 제조 장치가 그대로 이용되고, 상기 전기적 연결 부분을 보호하기 위해서 성형 수지와 같은 봉지 수단이 요구되지 않기 때문에 패키지 제조 단가를 낮출 수 있는 장점이 있다.

대표도



명세서

[발명의 명칭]

탭 테이프를 적용한 칩 스케일 패키지(chip scale package)

[도면의 간단한 설명]

제1도는 종래 기술의 일실시예에 의한 테세라(Tessera) 사(社)의 칩 스케일 패키지를 나타내는 단면도.

제2도는 종래 기술의 다른 실시예에 의한 미쯔비시(Mitsubishi)사의 칩 스케일 패키지의 일 부분을 절개하여 내부를 나타내는 사시도.

제3도는 본 발명의 일 실시예에 의한 탭 테이프를 적용한 칩 스케일 패키지를 나타내는 단면도.

제4도는 제3도의 탭 테이프를 나타내는 사시도.

제5도는 제4도의 A-A선을 따라 자른 단면도.

제6도는 제3도의 칩을 나타내는 평면도.

제7도는 제6도의 B-B선을 따라 자른 단면도.

제8도는 본 발명의 다른 실시예에 의한 탭 테이프를 적용한 칩 스케일 패키지를 나타내는 단면도.

제9도는 제8도의 탭 테이프를 나타내는 사시도.

제10도는 제9도의 C-C선을 따라 자른 단면도.

제11도는 제8도의 칩을 나타내는 평면도.

제12는 제11도의 D-D선을 따라 자른 단면도.

\* 도면의 주요부분에 대한 부호의 설명

210, 410 : 지지부

230, 430 : 리드부

240, 440 : 절연 필름

300, 500 : 탭 테이프

310, 510 : 칩

312, 512 : 본딩 패드

314, 514 : 범프

400, 600 : 패키지

#### [발명의 상세한 설명]

본 발명은 칩 스케일 패키지에 관한 것으로, 더욱 상세하게는 패턴닝된 탭 테이프와 칩을 직접 전기적 연결함으로써, 상기 칩 크기에 유사한 패키지를 구현할 수 있는 동시에 종래의 반도체 제조 장비를 이용할 수 있는 탭 테이프를 적용한 칩 스케일 패키지에 관한 것이다.

시스템의 경박 단소의 추세에 맞추어 그에 실장되는 패키지의 크기도 경박 단소가 추구하고 있다.

그러나, 통상적인 패키지에 있어서, 칩의 크기에 비해서 패키지 몸체의 크기가 상대적으로 더 크고, 더 두껍기 때문에 상기의 목적을 달성하기에는 곤란하다.

따라서, 상기의 목적을 달성하기 위한 한 방법으로 제안된 방법이 칩만을 실장하는 방법으로 COB(chip on board)나 플립 칩이 있으나, 이 방법들은 그 실장되는 칩이 번인 검사(burn-in test)와 같은 신뢰성 검사가 완전히 진행되지 않은 상태에서 실장되기 때문에 실장 완료 후에 발견되는 칩 불량률의 경우에 재작업이나 복구가 곤란한 단점을 내포하고 있다.

결국, 신뢰성을 보장할 수 있는 동시에 칩 크기에 대응되는 패키지의 개발이 요구되고 있다.

최근 몇몇 제조 회사에서 추진되고 있는 소위, 칩 스케일 패키지(chip scale package, 이하 CSP라 한다)는 베어 칩(bare chip)과 거의 같은 크기임에도 불구하고, 최종 사용자(end user)에게는 노운 굿 다이(known good die)로 공급되는 동시에 종래의 표면 실장 기술(surface mount technology)을 이용할 수 있기 때문에 전자기기의 소형·박형화, 다기능화를 도모할 수 있는 장점을 갖는다.

그러나, 통상적인 CSP를 구현하기 위해서 막대한 신규 장비의 구입 및 그 패키지의 제조에 있어서 제조 단가가 높은 단점을 내포하고 있다.

제1도는 종래 기술의 일 실시예에 의한 테세라(Tessera) 사(社)의 CSP를 나타내는 단면도이다.

제1도를 참조하면, 종래 기술의 CSP(100)는 칩(10)의 하부면 상에 형성된 본딩 패드들(12)이 그들(12)에 각기 대응되는 플렉시블(flexible) 패턴(20)과 전기적 연결되어 있다.

그리고, 상기 플렉시블 패턴(20)의 하부 상에 관통 구멍들을 갖는 폴리이미드 재료의 절연 피름(40)이 부착되어 있으며, 상기 플렉시블 패턴(20)과 그 각기 솔더범프들(60)은 표면에 전도성 물질이 코팅된 관통 구멍들에 의해 각기 전기적 연결되는 구조를 갖는다.

여기서, 상기 칩(10)의 하부 면상의 본딩 패드들(12)이 형성되지 않는 부분과 상기 플렉시블 패턴(20)의 사이에 엘라스토머(elastomer)(30)가 개재되어 있다.

그리고, 상기 칩(10)은 핸들링 링(50)에 의해 고정되어 있으며, 칩(10)의 하부면은 상기 핸들링 링(50)에 대하여 노출되어 있는 구조를 갖는다.

이와 같은 구조를 갖는 패키지는, 일종의  $\mu$  BGA 패키지로서 번인 검사가 가능하며 고밀도 실장이 가능한 플립 칩의 상호 접속 기술이다.

또한, 고 열방출성과 다양한 검사에 대응되기 용이한 장점을 가지나 단위 공정별로 제조 단가가 높으며 표준화가 어려운 단점을 가지고 있다.



제2도는 종래 기술의 다른 실시예에 의한 미쯔비시(Mitsubishi)사의 CSP의 일 부분을 절개하여 내부를 나타내는 사시도이다.

제2도를 참조하면, 종래 기술의 CSP(200)는 칩(110)의 상부면 상의 중심 부분에 형성된 본딩 패드들(112)이 그들(112)에 각기 대응되는 솔더 범프들(160)과 칩 상면에 형성되어 있는 회로 패턴들(120)에 의해 각기 전기적 연결되어 있으며, 상기 전기적 연결 부분을 외부의 환경으로부터 보호하기 위해서 성형수지(150)에 의해 봉지되어 있다.

여기서, 상기 솔더 범프들(160)은 상기 성형수지(150)의 대하여 노출되게 형성된 구조를 갖는다.

이와 같은 구조를 갖는 패키지는, 제1도에서 언급된 장점 이외에 회로 패턴이 형성되기 때문에 본딩 패드의 위치에 제한을 받지 않는 동시에 TSOP(thin small outline package)와 같은 신뢰성이 보장되는 장점을 갖으나, 상기 솔더 범프의 크기가 크기 때문에 초 다핀 대응이 곤란하며 웨이퍼 제조 공정에서 회로 패턴들을 제조하기 때문에 조립 공정이 복잡하며 공정별 제조 단가가 높은 단점이 있다.

따라서 본 발명의 목적은 탭 테이프를 이용하여 CSP를 구현함으로써, 종래 반도체 제조 장비를 그대로 이용할 수 있는 탭 테이프를 적용한 칩 스케일 패키지를 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명은 복수개의 본딩 패드를 갖는 칩과; 절연 필름, 하부 절연 접착제층, 상기 본딩 패드들에 각기 대응되어 각기 전기적 연결된 리드부들을 갖는 메탈 패턴층, 및 상기 칩의 본딩 패드들이 형성된 면과 접착된 상부 절연 접착제층이 순차적층된 탭 테이프; 상기 본딩 패드들과 그들에 각기 대응된 리드부들을 각기 전기적으로 연결시 키는 전기 전도성 범프; 및 상기 리드부들에 각기 대응되어 전기적 연결된 외부 접속 단자들;을 포함하는 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지를 제공한다.

이하, 첨부 도면을 참조하여 본 발명을 보다 상세하게 설명하고자 한다.

제3도는 본 발명의 일 실시예에 의한 탭 테이프를 적용한 칩 스케일 패키지를 나타내는 단면도이다.

제3도를 참조하면, 본 발명에 의한 CSP(400)는, 칩(310)의 하부면과 패턴닝된 탭 테이프(300)가 그 탭 테이프(300)의 최상층에 형성된 상부 절연 접착제층(260)을 열압착하여 접착되어 있으며, 상기 칩(310)의 하부면 상에 형성된 본딩 패드들(312)은 상기 상부 절연 접착제층(260)에 대하여 노출·형성된 구조를 갖는다.

그리고, 상기 본딩 패드들(312)은 그들(312)과 각기 대응된 탭 테이프(300)의 리드부들(230)과 각기 금 또는 솔더와 같은 전기 전도성 범프들(314)에 의해 전기적 연결되어 있다.

또한, 상기 리드부(230)는 그(230)의 하부면 상에 플럭스(236)가 도포되어 있으며, 그 리드부들(230)은 상기 탭 테이프(300)의 노출된 홈들(270)을 통해서 삽입된 솔더 볼들과 같은 외부 접속 단자들(330)과 각기 대응되어 전기적 연결되어 있다.

그리고, 상기 탭 테이프(300)전체를 지지하기 위하여, 상기 리드부들(230)과 동일면 상에 지지부(210)가 형성되어 있다.

따라서, 각기 대응된 상기 칩(310)의 본딩 패드들(312), 리드부(230) 및 외부 접속 단자들(330)은 결과적으로 전기적 연결된 구조를 갖는다.

여기서, 각 칩(310) 및 탭 테이프(300)에 대한 상세한 설명은 후술하기로 한다.

제4도는 제3도의 탭 테이프를 나타내는 사시도이다.

제5도는 제4도의 A-A선을 따라 자른 단면도이다.

제4도 및 제5도를 참조하면, 본 발명에 이용되는 탭 테이프(300)는 폴리이미드와 같은 절연 필름(240), 하부 절연 접착제

층(250), 메탈 패턴층 및 상부 절연 접착제층(260)이 순차 적층된 4개의 층을 갖는 구조이다.

상기 메탈 패턴층은, 유연성이 있는 상기 탭 테이프(300)를 지지하도록 중심 부분에 형성된 지지부(210)와 실장될 칩과 전기적 연결되는 리드부(230)를 포함하는 구조를 갖는다.

또한, 상기 지지부(210)는 전원(Vcc 또는 Vss)으로 활용하여 칩의 전기·전자적인 손실을 최대한 줄일 수 있도록 형성되어 있다.

여기서, 상기 리드부들(230)은 상기 지지부(210)와 이격되어 형성된 접속 단자들(234)과 그들(234)과 일체로 형성되어 있으며, 실장될 칩(310)의 본딩 패드들(312)과 각기 대응되어 전기적 연결되는 내부리드들(232)을 포함한다. (제3도 및 제6, 7도 참조)

그리고, 상기 리드부들(230)은 상기 탭 테이프(300)의 말단까지 더 연장·형성되어 상기 지지부(210)와 같은 기능을 한다.

상기 내부리드들(232)이 칩과의 전기적 연결되도록, 그들(232)의 상부에 적층·형성된 상부 절연 접착제층(260)의 좌우에 상기 내부리드들(232)의 일정 부분이 노출되도록 관통 부분(262)이 형성되어 있다.

그리고, 상기 접속 단자들(234)의 소정 부분은 상기 테이프(240) 및 하부 절연 접착제층(250)에 노출되어 있으며, 그 단자들(234)의 하부면 상에 플럭스(flux:236)가 도포되어 있다.

따라서, 상기 테이프(240) 및 하부 절연 접착제층(250)에 형성된 홈들(270)에 외부 접속 단자들이 각기 대응·삽입되어 상기 접속 단자들(234)과 전기적 연결되는 구조를 갖는다.

제6도는 제3도의 칩을 나타내는 평면도이다.

제7도는 제6도의 B-B선을 따라 자른 단면도이다.

제6도 및 제7도를 참조하면, 칩(310) 상부면 상의 좌우 말단부에 본딩 패드들(312)이 정렬·형성되어 있으며, 상기 칩(310)의 본딩 패드들(312)이 그들(312)에 각기 대응되는 상기 제1도~제4도에서 전술된 탭 테이프(300)의 접속 단자들(234)과 각기 전기적 연결되기 위하여, 그(312)의 상부면 상에 범프들(314)이 각기 적층·형성되어 있다.

그리고, 제8도~제12도에 나타나 있는 바와 같이, 본 발명의 다른 실시예인 CSP(600)는 본딩 패드들(512)이 칩(510)의 중심 부분에 정렬·형성되어 있으며, 그에 따라 그 칩(510)에 대응되어 탭 테이프(500)의 리드부들(430)의 위치가 변형·형성된 것 외에는 제3도~제7도에서 언급된 CSP(400)와 동일한 구조를 갖기 때문에 상세한 설명을 생략하기로 한다.

상기 칩들(310)(510)의 구조에 있어서, 그 칩들(310)(510)의 본딩 패드들(312)(512)상면에 형성된 범프들(314)(514)은 웨이퍼 가공기 제작되거나, 상기 탭 테이프(300)(500)의 제작시 그 (300)(500)의 내부리드들(232)(432)에 형성시킬 수 있다.

이와 같은 구조를 갖는 CSP는,

- ① 통상적인 탭 테이프를 사용하고 있기 때문에 종래 반도체 제조 장치가 그대로 이용되고,
- ② 전기적 연결 부분을 보호하기 위해서 성형 수지와 같은 봉지 수단이 요구되지 않는 이점(利點)을 갖는다.

#### (57) 청구의 범위

청구항 1. 복수개의 본딩 패드를 갖는 칩과; 절연 필름, 하부 절연 접착제층, 상기 본딩 패드들에 각기 대응되어 각

기 전기적 연결된 리드부들을 갖는 메탈 패턴층, 및 상기 칩의 본딩 패드들이 형성된 면과 접착된 상부 절연 접착재층이 순차적층된 탭 테이프; 상기 본딩 패드들과 그들에 각기 대응된 리드부들을 각기 전기적으로 연결시 키는 전기 전도성 범프; 및 상기 리드부들에 각기 대응되어 전기적 연결된 외부 접속 단자들을 포함하는 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 2. 제1항에 있어서, 상기 절연 필름의 재질이 폴리이미드인 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 3. 제1항에 있어서, 상기 메탈 패턴층이 지지부를 더 포함하는 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 4. 제3항에 있어서, 상기 지지부가 상기 리드부와 전기적 연결되지 않은 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 5. 제1항에 있어서, 상기 본딩 패드들과 그들에 각기 대응된 리드부들을 각기 전기적 연결시키기 위해 상기 상부 절연 접착재층의 부분이 노출된 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 6. 제5항에 있어서, 상기 상부 절연 접착재층의 노출된 부분이 상기 본딩 패드들과 그 본딩 패드들에 각기 대응된 리드부들이 각기 전기적 연결되는 부분인 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 7. 제1항에 있어서, 상기 리드부들과 그들에 각기 대응된 외부 접속 단자들을 각기 전기적 연결하기 위해 상기 절연 필름과 상기 하부 절연 접착재층이 노출된 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

청구항 8. 제7항에 있어서, 상기 외부 접속 단자들과 각기 전기적 연결된 리드부들의 하부면 상에 플렉스가 도포된 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

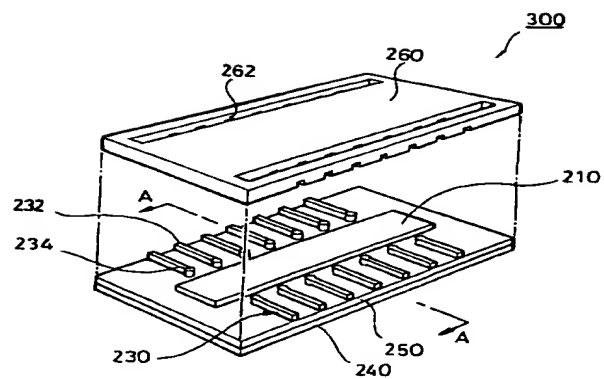
청구항 9. 제7항에 있어서, 상기 절연 필름과 상기 하부 절연 접착재층의 노출된 부분이 동일한 것을 특징으로 하는 탭 테이프를 적용한 칩 스케일 패키지.

도면

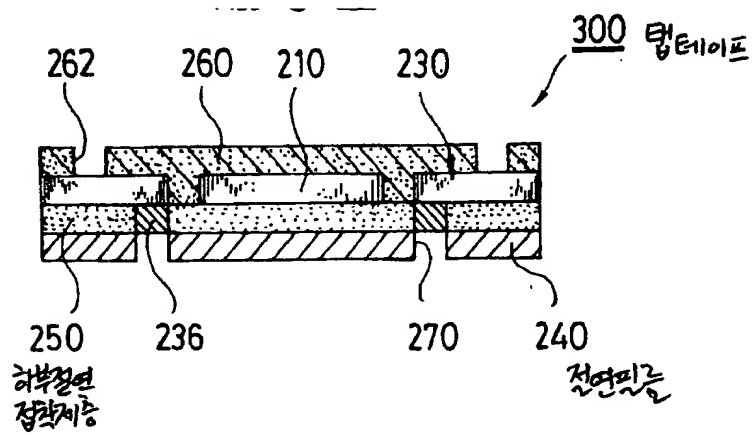
도면1



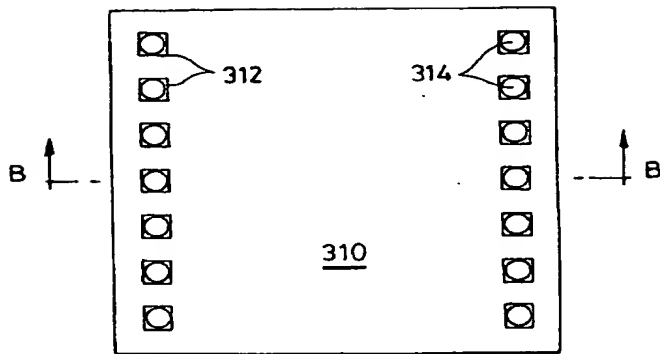
도면4



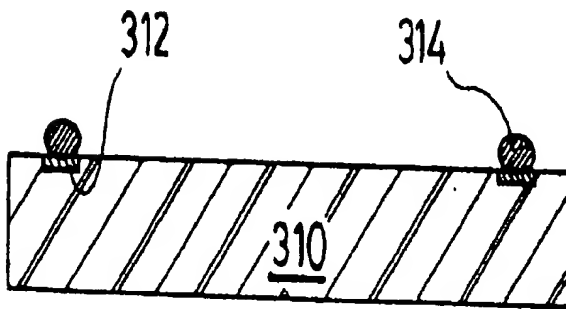
도면5



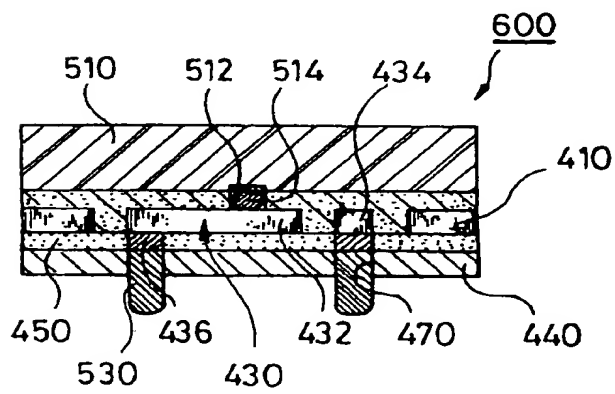
도면6



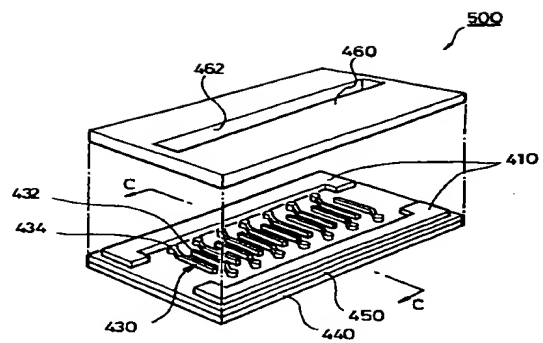
도면7



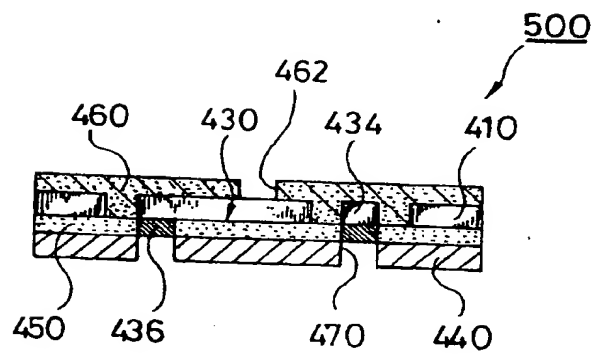
도면8



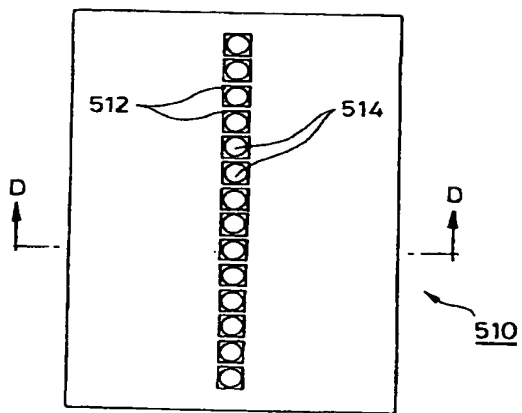
도면9



도면10



도면11



도면 12

